

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-118465

(43)Date of publication of application : 19.04.2002

(51)Int.Cl.

H03M 1/20

(21)Application number : 2000-310053

(71)Applicant : ROHM CO LTD

(22)Date of filing : 11.10.2000

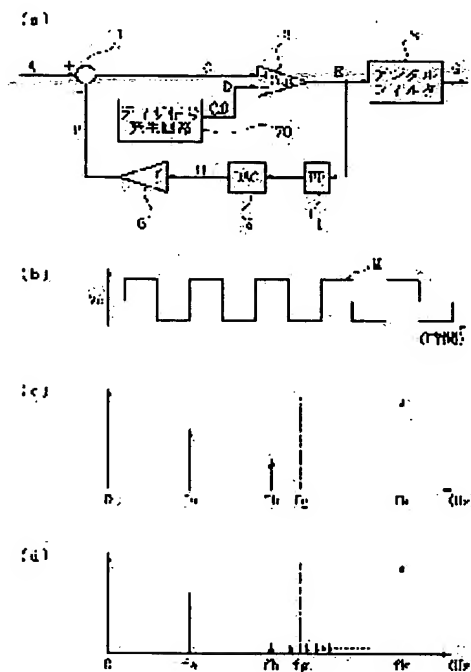
(72)Inventor : NAKAMURA YUTAKA

## (54) ANALOG/DIGITAL CONVERTER

## (57)Abstract:

PROBLEM TO BE SOLVED: To reflect dither without superimposing it.

SOLUTION: This analog/digital converter for generating a digital output signal G by performing the differential modulation of an analog input signal A is provided with a dither signal generating circuit 70 for generating a dither signal M, and a difference signal C or a derived signal (P) is compared with the dither signal M so that a binary signal E can be generated. Thus, the dither signal is used so as to be separated from the analog input signal or the like.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## CLAIMS

---

[Claim(s)]

[Claim 1] The analog-digital converter characterized by preparing the dither signal generating circuit which generates a dither signal in the analog-digital converter which carries out differential modulation of the analog input signal, and generates a digital output signal, and performing binarization of a differential signal or its descendant signal by the comparison with said dither signal.

[Claim 2] Said dither signal generating circuit is an analog-digital converter according to claim 1 characterized by having a means to generate the 1st electrical potential difference, a means to generate the 2nd electrical potential difference, and the means for switching that chooses these 1st and 2nd electrical potential differences by turns, and outputs them.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the analog-digital converter which has introduced the dither signal for an S/N (signal/noise) property improvement in detail about the analog-digital converter (analog-to-digital conversion equipment) of an over sampling technique method. Shape is taken by the delta modulation mold analog-digital converter (delta modulation mold A/D-conversion equipment) and the delta sigma modulation mold analog-digital converter (deltasigma modulation mold A/D-conversion equipment), and this analog-digital converter is incorporated and used for the circuit which processes voice

and sound in a cellular phone or audio equipment in many cases.

[0002]

[Description of the Prior Art] The conventional analog-digital converter which showed the whole block diagram to drawing 7 (a) So that signal transformation which generates a digital output signal from an analog input signal may be performed in 1-bit differential modulation It is constituted based on a primary prediction delta modulation mold analog-digital converter. Specifically The difference arithmetic circuit 1 which generates a differential signal C in response to the analog input signal A and a return signal B, The comparison circuit 2 which generates a binary signal E in response to the differential signal C and threshold signal D, The digital filter 3 which receives the binary signal E, among those controls the component more than predetermined frequency (cut off frequency)  $f_g$ , and generates the digital output signal G, It has the digital-to-analog section 4+5 which changes a binary signal E into analog signal H at the repeat rate (sampling frequency  $f_k$ ) exceeding predetermined frequency  $f_g$ , and the integrating circuit 6 which generates a return signal B in response to the analog signal H. Here, a sampling frequency  $f_k$  is higher than a cut off frequency  $f_g$ , and a cut off frequency  $f_g$  is set up more highly than the frequency  $f_a$  of the analog input signal A.

[0003] Moreover, while the dither signal generating circuit 7 which generates dither signal J (refer to drawing 7 (b)) oscillated with the amplitude smaller than the maximum amplitude of the analog input signal A for an S/N property improvement, for example,  $\Delta V$ , is formed, the adder circuit 8 which adds that dither signal J to the analog input signal A in the upstream of the difference arithmetic circuit 1 is also established in this analog-digital converter. Although the graphic display was omitted, some which are prepared in the lower stream of a river of the rotary flow side to the difference arithmetic circuit 1 or the difference arithmetic

circuit 1 have an adder circuit 8 so that dither signal J may be added to a return signal B and a differential signal C. Anyway, a dither is reflected in the form which dither signal J superimposes on a differential signal C eventually. Furthermore, although the predetermined electrical potential difference  $V_d$  etc. is adopted as the threshold signal D, the electrical-potential-difference value is bigger constant value smaller than the upper limit of the analog input signal A than a minimum.

[0004] In such an analog-digital converter, a return signal B is subtracted from the analog input signal A, a differential signal C is generated, this is compared with the threshold signal D, a binary signal E is generated, derepression of the high frequency component which exceeds a cut off frequency  $f_g$  from the binary signal E is carried out, and the digital output signal G is generated. Moreover, while a binary signal E is sampled by the sampling circuit 4 on a frequency  $f_k$  and is further changed into analog signal H by DA converter 5 in parallel to it, the analog signal H finds the integral by the integrating circuit 6, and becomes a return signal B.

[0005] In this way, although binarization of the differential signal C is carried out with a sampling frequency  $f_k$  and the digital output signal G is generated based on it Since it corresponds to that to which the return signal B accumulated the difference by which binarization was already carried out to the sampling timing till then, and restored the last analog input signal A and a binary signal E turns into a signal by which differential modulation was carried out If a sampling frequency  $f_k$  is fully higher than a frequency  $f_a$  even if a binary signal E is a signal which is 1 bit, the wave information on the analog input signal A will be exactly taken over to a binary signal E. And since the high frequency component more than cut-off-frequency  $f_g$  is removed in case the digital output signal G is generated from a binary signal E, the digital output signal G becomes a thing containing the suitable signal component corresponding to the analog

input signal A excluding the noise component of (the drawing 7 (c) reference) and a sampling frequency  $f_k$  (see the broken line with an arrow of drawing 7 (c)) (see the continuous line with an arrow of the frequency  $f_a$  in drawing 7 (c)).

[0006] By the way, if offset [\*\*\*\* / un-] exists in DA converter 5 of this analog-digital converter, the noise component to which that deflection component always finds the integral, and the value of analog signal H increases gradually or dwindles it although only that part inclines toward positive/negative or either of up-and-down will be discovered to a return signal B. Although it was not contained in the analog input signal A and generates within an analog-digital converter, since the comparison circuit is also included in the feedback loop, this noise component continues staying on at a feedback loop. And if the frequency  $f_h$  is lower than a cut off frequency  $f_g$  (see the continuous line with an arrow of the frequency  $f_h$  in drawing 7 (c)), it will pass through a digital filter 3 and the S/N property of the digital output signal G will be degraded.

[0007] In such a case, dither signal J is utility, and the oscillation signal of the small amplitude is used for extent which does not spoil the analog input signal A. And if dither signal J is added to the analog input signal A etc. and included in a differential signal C, the noise component which originated in offset of DA converter 5 and was generated in the analog-digital converter will be widely distributed in response to the effect of dither signal J also at the place of frequencies other than a frequency  $f_h$  (refer to drawing 7 (d)). What exceeds a cut off frequency  $f_g$  among the dispersed noise components cannot pass a digital filter 3, but is removed there.

[0008] In this way, about the noise which originates in the offset component of the output of a DA converter being accumulated in an integrating circuit, and is generated by suitable installation of dither signal

J, the S/N property of a delta modulation mold analog-digital converter is improved. In addition, the similar publication is made by JP,6-104751,A about the delta sigma modulation mold analog-digital converter, and it is known that installation of a dither signal is useful to an improvement of an S/N property also by the delta sigma modulation mold analog-digital converter.

[0009]

[Problem(s) to be Solved by the Invention] However, in such a conventional analog-digital converter, it faces introducing a dither signal and the intuitive and direct technique of adding a dither signal to an analog input signal, a differential signal, etc. is taken. For this reason, in addition to a dither signal generating circuit, it is necessary to prepare the adder circuit or the equivalent subtractor circuit of an analog. Moreover, since it is very necessary for meaning that a heterogeneous noise factor new from a wave being distorted at the limitation, as for stripes was also accompanied and introduced, and suppressing generating of the noise only for the part of the amplitude of a dither signal to narrow the maximum amplitude of an analog input signal or a differential signal with superposition of a dither signal when the value of an analog input signal or a differential signal is close to an upper limit or a minimum, there is also a field which becomes rather inconvenient.

[0010] Then, although a dither signal is directly superimposed at an analog input signal, a differential signal, etc. for introducing a dither signal into a differential modulation mold analog-digital converter and it drops off in order to improve an S/N property about the noise which originates in the offset component of the output of a DA converter being accumulated in an integrating circuit, and is generated, it becomes a technical technical problem to elaborate circuitry so that an equivalent improvement effect may be acquired. Moreover, if the application to the cellular phone with

which a miniaturization is thought as important is taken into consideration, on the occasion of modification of a circuit, it will also become an important technical problem to reduce circuit magnitude.

[0011] This invention is made in order to solve such a technical problem, and it aims at realizing the analog-digital converter reflected without overlapping a dither. Moreover, this invention also makes it the object for there to be no adder circuit for dither superposition, and for circuit magnitude to realize a small analog-digital converter.

[0012]

[Means for Solving the Problem] About the 1st thru/or 2nd solution means invented in order to solve such a technical problem, the configuration and the operation effectiveness are explained below.

[0013] [the 1st solution means] -- like and the dither signal generating circuit which generates a dither signal in the analog-digital converter which carries out differential modulation of the analog input signal, and generates a digital output signal are prepared by the analog-digital converter of the 1st solution means, and binarization of a differential signal or its descendant signal is performed [ of the time of application / according to claim 1 ] by the comparison with said dither signal

[0014] If it is in the analog-digital converter of such 1st solution means, while installation of a dither signal distributes and the noise which accompanies to differential modulation and is produced is controlled in part, the introductory part is moved to the comparator for binarization in differential modulation. Since two or more signals are generally separately inputted into a comparison, it will be processed while it has been in the condition which the differential signal etc. and the dither signal separated. Moreover, an S/N property will be improved, without as a result the effect of a dither signal narrowing the maximum amplitude of an analog input signal or a differential signal certainly to the digital output signal based on

[ without spoiling the functions of differential modulation also including binarization in any way by including it in a dither signal side, using the threshold used as the criteria of binarization as a dc component etc., if required, even if such ] a binary signal or it. Therefore, according to this invention, a dither signal can realize the analog-digital converter which is directly superimposed neither on an analog input signal nor a differential signal and by which \*\* is also reflected in a conversion result.

[0015] [the 2nd solution means] -- the analog-digital converter of the 2nd solution means is an analog-digital converter of the 1st above-mentioned solution means [ like ] of the time of application according to claim 2, and said dither signal generating circuit is equipped with a means to generate the 1st electrical potential difference, a means to generate the 2nd electrical potential difference, and the means for switching that chooses these 1st and 2nd electrical potential differences by turns, and outputs them

[0016] If it is in the analog-digital converter of such 2nd solution means, when there is no dither signal, the threshold for binarization used as constant value is in agreement with the mean value and the average of the 1st electrical potential difference and the 2nd electrical potential difference. By this, a threshold will be included in a dither signal side. And in addition to the amplitude of a dither signal, a threshold can also be easily set up by setting up the 1st and 2nd electrical potential difference suitably. Furthermore, since shape is taken in a circuit simpler than an analog adder circuit, circuit magnitude of a means for switching is also small, and it ends. Therefore, according to this invention, there is no adder circuit for dither superposition, and circuit magnitude can realize a small analog-digital converter.

[0017]

[Embodiment of the Invention] About the analog-digital converter of this



invention attained with such a solution means, the following 1st – the 6th example explain the concrete gestalt for carrying this out. The 2nd example which the 1st example shown in drawing 1 embodied the 1st solution means mentioned above based on the delta modulation mold analog-digital converter, and was shown in drawing 2 embodies the 1st solution means mentioned above based on a delta sigma modulation mold analog-digital converter. Moreover, each the 3rd – the 6th example which were shown in drawing 3 – drawing 6 , respectively embody the 2nd solution means mentioned above. In addition, since the same sign was attached and shown in the same component as usual on the occasion of those graphic displays, the overlapping explanation for the second time is omitted, and is hereafter explained focusing on a point of difference with the former.

[0018]

[The 1st example] About the 1st example of the analog-digital converter of this invention, the concrete configuration is quoted and a drawing is explained. Drawing 1 (a) is the block diagram of a whole circuit, and this drawing (b) is the example of a wave of dither signal M. That this analog-digital converter is constituted based on a delta modulation mold analog-digital converter, perform 1-bit differential modulation, and this is different from the conventional example (refer to drawing 7 ) as stated above is the point that the dither signal generating circuit 70 which generates dither signal M was introduced instead of the dither signal generating circuit 7 and the adder circuit 8, and the point that dither signal M came to be inputted into a comparison circuit 2 as a threshold signal D.

[0019] Namely, the difference arithmetic circuit 1 where this analog-digital converter generates a differential signal C in response to (the drawing 1 (a) reference), the analog input signal A, and a return signal B, The comparison circuit 2 which generates a binary signal E in response to the

differential signal C and threshold signal D, The digital filter 3 which receives the binary signal E, among those controls the component more than predetermined frequency (cut off frequency)  $f_g$ , and generates the digital output signal G, The digital-to-analog section 4+5 which changes a binary signal E into analog signal H at the repeat rate (sampling frequency  $f_k$ ) exceeding predetermined frequency  $f_g$ , In the analog-digital converter equipped with the integrating circuit 6 which generates a return signal B in response to the analog signal H The dither signal generating circuit 70 which generates dither signal M oscillated with the small amplitude is formed, and a comparison circuit 2 comes to receive from the maximum amplitude of a differential signal C by making the dither signal M into the threshold signal D.

[0020] In the case where the analog input signal A is a sound signal, if each of those elements are explained in full detail for an example, the frequency  $f_a$  of the analog input signal A continues for thousands of Hz from dozens of Hz focusing on hundreds of Hz, based on this, a cut off frequency  $f_g$  will be set as 8kHz, 4 etc.kHz, etc., and a sampling frequency  $f_k$  will be set to 1MHz, 10 etc.MHz, etc. Although you may be the circuit of a pure low pass filter, a digital filter 3 is parasitic along with the count circuit which changes into two or more bits, such as 8 bits and 14 etc. bits, by the thing of counting a binary signal E at high speed synchronizing with the digital-to-analog section 4+5, and outputs the digital output signal G a low-speed predetermined period, and may be made to be embodied.

[0021] Moreover, the difference arithmetic circuit 1 is embodied easily in the adder circuit which used the operational amplifier (operational amplifier), and a comparison circuit 2 is embodied with a comparator etc., for example, a differential signal C is led to the forward side input, and the threshold signal D, i.e., dither signal M, is led to a negative side input. Furthermore, although the D type flip-flop suitable for a latch etc. is used

abundantly in a sampling circuit 4, this may be embodied as a part of DA converter 5. Moreover, the active circuit which combined the capacitor with the operational amplifier is suitable for an integrating circuit 6.

[0022] In addition, although the concrete example of a configuration of the dither signal generating circuit 70 is explained in full detail henceforth [ the 3rd example ], dither signal M is the oscillation signal with which only small amplitude  $\Delta V$  changes up and down focusing on (the drawing 1 (b) reference) and an electrical potential difference  $V_d$ . That is, dither signal M becomes the 1st electrical potential difference ( $V_d + \Delta V$ ) or 2nd electrical potential difference ( $V_d - \Delta V$ ) by turns a predetermined period. Moreover, since a S/N ratio is not influenced, although there is nothing, by requirements essential to this invention, in this example, 180 degrees of phases have shifted in dither signal M and dither signal J of the conventional example for brief-izing of the following explanation of operation, i.e., the phase of a dither signal shall have been reversed. Furthermore, the frequency of dither signal M is higher than a cut off frequency  $f_g$ , and is made lower than a sampling frequency  $f_k$  so that dither signal M may be cut by the digital filter 3.

[0023] About the analog-digital converter of this 1st example, that activity mode and actuation are quoted and a drawing is explained. Drawing 1 (b) shows the typical wave of dither signal M, this drawing (c) and (d) are power spectrum drawings of the digital output signal G, and shows the condition that (c) does not have a dither signal, and shows the condition that a dither signal has (d).

[0024] In this case, since amplitude  $\Delta V$  of dither signal M is not large, a fear of crossing the range of a comparison circuit 2 which can be inputted does not have the threshold signal D. moreover, in the range in which the wave of the analog input signal A, and a return signal B and a differential signal C is not distorted Since the electrical-potential-difference value

which added the oscillation signal of amplitude electrical-potential-difference  $\Delta V$  to the differential signal C, and reduced threshold voltage  $V_d$ , and the electrical-potential-difference value which subtracts the oscillation signal of amplitude electrical-potential-difference  $\Delta V$  from threshold voltage  $V_d$ , subtracts the result from a differential signal C, and is acquired are equal. If the analog-digital converter (refer to drawing 1 (a)) of this example and the analog-digital converter (refer to drawing 7 (a)) of the conventional example are made to contrast and the differential signal C is the same, it turns out that a binary signal E, analog signal H, and a return signal B become the same. And if the analog input signal A is the same, since a differential signal C will become the same consequently, the digital output signal G is acquired for the same thing.

[0025] A return signal B is subtracted from the analog input signal A, a differential signal C is specifically generated, it is compared with the threshold signal D with which this consists of dither signal M, and a binary signal E is generated, derepression of the high frequency component which exceeds a cut off frequency  $f_g$  from the binary signal E is carried out, and the digital output signal G is generated. Moreover, while a binary signal E is sampled by the sampling circuit 4 on a frequency  $f_k$  and is further changed into analog signal H by DA converter 5 in parallel to it, the analog signal H finds the integral by the integrating circuit 6, and becomes a return signal B.

[0026] In this way, although the digital output signal G is generated. In that case, the offset component [\*\*\*\* / un-] of DA converter 5 always finds the integral. \*\*\*\*\* the noise of a frequency  $f_h$  is discovered -- (the drawing 1 (c) reference) -- as usual. The part which the noise component is widely distributed in response to the effect of dither signal M also at the place of frequencies other than a frequency  $f_h$  (refer to drawing 1 (d)),

among those came to exceed a cut off frequency  $f_g$  is removed by the digital filter 3. And an S/N property is improved by suitable installation of dither signal M also in this case about the noise which originates in the offset component of the output of a DA converter being accumulated in an integrating circuit, and is generated.

[0027] And since the analog input signal A, and a return signal B and a differential signal C are not directly overlapped on dither signal M in this case and signal wave forms, such as the analog input signal A, are not distorted unless it deviates from the input range of the difference arithmetic circuit 1 or a comparison circuit 2, it is not said rather than the input range of difference arithmetic circuit 1 grade that maximum amplitude, such as the analog input signal A, is narrowed. Moreover, since the requirements which should be taken into consideration by that at the time of a circuit design decrease, the further advantage that a design becomes easy is also enjoyable.

[0028]

[The 2nd example] That it is different from the thing of the 1st example which the analog-digital converter of this invention which showed the whole block diagram to drawing 2 was constituted based on the delta sigma modulation mold analog-digital converter, performs 1-bit differential modulation, and this mentioned above is a point which an integrating circuit 6 is removed from the line of analog signal H between DA converter 5 and the difference arithmetic circuit 1, and is inserted in the line of the differential signal C between the difference arithmetic circuit 1 and a comparison circuit 2.

[0029] Namely, this analog-digital converter The difference arithmetic circuit 1 which generates a differential signal C in response to the analog input signal A and a return signal B, The integrating circuit 6 which generates the descendant signal P in response to the differential signal C,

and the comparison circuit 2 which generates a binary signal E in response to the descendant signal P and threshold signal D, The digital filter 3 which receives the binary signal E, among those controls the component more than predetermined frequency (cut off frequency)  $f_g$ , and generates the digital output signal G, In the analog-digital converter equipped with the digital-to-analog section 4+5 which changes a binary signal E into analog signal H at the repeat rate (sampling frequency  $f_k$ ) exceeding predetermined frequency  $f_g$ , and is sent out to the difference arithmetic circuit 1 by making this into a return signal B The dither signal generating circuit 70 which generates dither signal M oscillated with the small amplitude is formed, and a comparison circuit 2 comes to receive from the maximum amplitude of the descendant signal P by making the dither signal M into the threshold signal D.

[0030] Although it is known also about the delta sigma modulation mold analog-digital converter that installation of a dither signal will be useful to an improvement of an S/N property and the technique of making a dither signal superimpose on an analog input signal with an adder on the occasion of the installation is indicated by JP,6-104751,A In this invention (refer to drawing 2 ), like the 1st above-mentioned example, it is led to the negative side input of a comparison circuit 2 as a threshold signal D, and a differential signal C and its descendant signal P are in a condition [ having dissociated ], and the comparison with the descendant signal P is presented with dither signal M. In improving an S/N property also about a delta sigma modulation mold analog-digital converter by this about the noise which originates in the offset component of the output of a DA converter being accumulated in an integrating circuit, and is generated, a design also becomes easy, without narrowing maximum amplitude, such as an analog input signal. And the adder circuit for dither signal superposition is unnecessary.

[0031]

[The 3rd example] It is what was equipped with a means by which the dither signal generating circuit 70 in the 1st example and the 2nd example which were mentioned above generates the 1st electrical potential difference ( $V_d + \Delta V$ ), a means to generate the 2nd electrical potential difference ( $V_d - \Delta V$ ), and the means for switching that chooses these 1st and 2nd electrical potential differences ( $V_d \pm \Delta V$ ) by turns, and outputs them in the analog-digital converter of this invention which showed the dither signal generating circuit to drawing 3.

[0032] The circuit which carried out the series connection of three resistance R1, R2, and R3 is specifically prepared between the feeder of an electrical potential difference Vdd, and the grounding conductor of an electrical potential difference Vss, with the resistance partial pressure, the 1st electrical potential difference ( $V_d + \Delta V$ ) occurs at the node of resistance R1 and resistance R2, and the 2nd electrical potential difference ( $V_d - \Delta V$ ) occurs at the node of resistance R2 and resistance R3. The resistance of each resistance R1, R2, and R3 is set up such. Moreover, the node of resistance R1 and resistance R2 makes the switches SW1, such as an analog switch, intervene, and is connected to the signal line of dither signal M, and the node of resistance R2 and resistance R3 also makes a switch SW2 intervene, and is connected to the signal line of dither signal M. Furthermore, it is generated by the thing, like the control signal Q which switches the switching condition of a switch SW1 carries out dividing of the clock signal K which has specified the sampling frequency  $f_k$ , and the change-over control signal of a switch SW2 reverses a control signal Q, and is generated.

[0033] In this case, the node electrical potential difference of resistance R1 and R2 is computed by the formula  $[V_{ss} + (V_{dd} - V_{ss}) \cdot (R_2 + R_3) / (R_1 + R_2 + R_3)]$ . The node electrical potential

difference of resistance R2 and R3 is a formula  $[V_{ss} + (V_{dd} - V_{ss}) - (R3)/(R1 + R2 + R3)]$ . Since it is computed Moreover, the 1st electrical potential difference ( $V_d + \Delta V$ ) and 2nd electrical potential difference ( $V_d - \Delta V$ ) can be easily generated mostly about the electrical potential difference  $V_d$  of arbitration, and amplitude  $\Delta V$  practically by setting up appropriately the resistance or those ratios of resistance R1, R2, and R3. In addition, "-" shows multiplication in a formula and "/" shows a division. And since switches SW1 and SW2 repeat a flow or cutoff by turns according to a control signal Q, dither signal M becomes the signal oscillated by amplitude  $\Delta V$  focusing on an electrical potential difference  $V_d$ . Even if there are no adder circuit and subtractor circuit of an analog, while including threshold voltage  $V_d$  in dither signal M by this, the comparison for binarization can be presented by making the dither signal M into the threshold signal D.

[0034]

[The 4th example] That it is different from the thing of the 3rd example which the analog-digital converter of this invention which showed the dither signal generating circuit to drawing 4 mentioned above is the point that a part of resistance is arranged in parallel, and a point whose switch is decreasing to the piece. Specifically the series connection of a switch SW3 and the resistance R5 is carried out, parallel connection of this circuit and resistance R4 is carried out, this circuit and resistance R6 are connected to a serial, and this circuit is connected between the feeder of an electrical potential difference  $V_{dd}$ , and the grounding conductor of an electrical potential difference  $V_{ss}$ .

[0035] In this case, if a switch SW3 opens and closes according to a control signal Q etc., since the node electrical potential difference of resistance R4 and resistance R6 will change according to it, dither signal M is generable by taking out that electrical potential difference. Moreover,



the 1st electrical potential difference ( $V_d + \Delta V$ ) and 2nd electrical potential difference ( $V_d - \Delta V$ ) can be easily generated about the electrical potential difference  $V_d$  of arbitration, and amplitude  $\Delta V$  practically by setting up appropriately the resistance or those ratios of resistance  $R_4$ ,  $R_5$ , and  $R_6$ , without using an adder circuit also in this case.

[0036]

[The 5th example] That it is different from the thing of the 3rd and 4th example which the analog-digital converter of this invention which showed the dither signal generating circuit to drawing 5 mentioned above is the point that the constant current source is introduced. Specifically the series connection of a constant current source  $IS_1$  and the switch  $SW_4$  is carried out, the series connection of a constant current source  $IS_2$  and the switch  $SW_5$  is carried out, parallel connection of those series circuits is carried out, this circuit and resistance  $R_7$  are connected to a serial, and this circuit is connected between the feeder of an electrical potential difference  $V_{dd}$ , and the grounding conductor of an electrical potential difference  $V_{ss}$ . Moreover, switches  $SW_4$  and  $SW_5$  open [ although the graphic display was omitted ] and close by turns according to a control signal  $Q$  and its reversal signal.

[0037] In this case, since the electrical potential difference of a formula [ $IS_1$  and  $R_7$ ] occurs in resistance  $R_7$  when the switch  $SW_4$  has flowed, the electrical potential difference of a formula [ $IS_2$  and  $R_7$ ] occurs in resistance  $R_7$  when the switch  $SW_5$  has flowed, and those electrical potential differences are discovered by turns according to closing motion of switches  $SW_4$  and  $SW_5$ , dither signal  $M$  is generable by taking out that electrical potential difference. Moreover, the 1st electrical potential difference ( $V_d + \Delta V$ ) and 2nd electrical potential difference ( $V_d - \Delta V$ ) can be easily generated about the electrical potential difference  $V_d$  of arbitration, and amplitude  $\Delta V$  by setting up appropriately the current

value of constant current sources IS1 and IS2, and the resistance of resistance R7, without using an adder circuit also in this case.

[0038]

[The 6th example] That it is different from the thing of the 5th example which the analog-digital converter of this invention which showed the dither signal generating circuit to drawing 6 mentioned above is a point whose switch is decreasing. Specifically the series connection of a constant current source IS 4 and the switch SW6 is carried out, parallel connection of this circuit and constant current source IS 3 is carried out, this circuit and resistance R8 are connected to a serial, and this circuit is connected between the feeder of an electrical potential difference Vdd, and the grounding conductor of an electrical potential difference Vss.

[0039] In this case, when the switch SW6 has flowed according to a control signal Q etc., the electrical potential difference of a formula  $[R8 - (IS3 + IS4)]$  occurs in resistance R8. Since the electrical potential difference of a formula  $[R8 \text{ and } IS4]$  occurs in resistance R8 and those electrical potential differences are discovered by turns according to closing motion of a switch SW6 while the switch SW6 is intercepting, dither signal M is generable by taking out the electrical potential difference. Moreover, the 1st electrical potential difference  $(Vd + \Delta V)$  and 2nd electrical potential difference  $(Vd - \Delta V)$  can be easily generated about the electrical potential difference Vd of arbitration, and amplitude  $\Delta V$  by setting up appropriately the current value of constant current sources IS3 and IS4, and the resistance of resistance R8, without using an adder circuit also in this case.

[0040]

[Effect of the Invention] if it is in the analog-digital converter of the 1st solution means of this invention so that clearly from the above explanation, advantageous that a dither signal was able to be directly overlapped

neither on an analog input signal nor a differential signal, but \*\* was also able to realize the analog-digital converter reflected in a conversion result effectiveness \*\*s by having made it used after the dither signal has dissociated from the analog input signal etc. using the comparison for the binarization accompanying differential modulation .

[0041] Moreover, if it is in the analog-digital converter of the 2nd solution means of this invention, by having limited the dither signal generating circuit to the thing of specific structure, there is no adder circuit for dither superposition, and circuit magnitude does so the advantageous effectiveness that the small analog-digital converter was realizable.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is power spectrum drawing when power spectrum drawing in case the block diagram of a whole circuit and (b) do not have (a) and a dither signal does not have the example of a wave of a dither signal and (c), and (c) add a dither signal about the 1st example of the analog-digital converter of this invention.

[Drawing 2] About the 2nd example of the analog-digital converter of this invention, it is the block diagram of a whole circuit.

[Drawing 3] About the 3rd example of the analog-digital converter of this invention, it is the detail drawing of a dither signal generating circuit.

[Drawing 4] About the 4th example of the analog-digital converter of this invention, it is the detail drawing of a dither signal generating circuit.

[Drawing 5] About the 5th example of the analog-digital converter of this invention, it is the detail drawing of a dither signal generating circuit.

[Drawing 6] About the 6th example of the analog-digital converter of this invention, it is the detail drawing of a dither signal generating circuit.

[Drawing 7] It is power spectrum drawing when power spectrum drawing in case the block diagram of a whole circuit and (b) do not have (a) and a dither signal does not have the example of a wave of a dither signal and (c), and (c) add a dither signal about the conventional analog-digital converter.

[Description of Notations]

- 1 / A sampling circuit (FF, digital-to-analog section),
- 2 / A comparison circuit (Cmp)
- 3 / A digital filter
- 5 / DA converters (DAC, digital-to-analog section)
- 6 / Integrating circuits
- 7 / A dither signal generating circuit
- 8 / An adder circuit
- 70 / Dither signal generating circuit

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-118465

(P2002-118465A)

(43) 公開日 平成14年4月19日 (2002. 4. 19)

(51) Int.Cl.<sup>7</sup>

H 0 3 M 1/20

識別記号

F I

H 0 3 M 1/20

テーマコード (参考)

5 J 0 2 2

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願2000-310053 (P2000-310053)

(22) 出願日 平成12年10月11日 (2000. 10. 11)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 中村 豊

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

(74) 代理人 100106345

弁理士 佐藤 香

Fターム (参考) 5J022 AA06 AB01 BA02 BA06 CA07

CA10 CB06 CD07 CF01 CF04

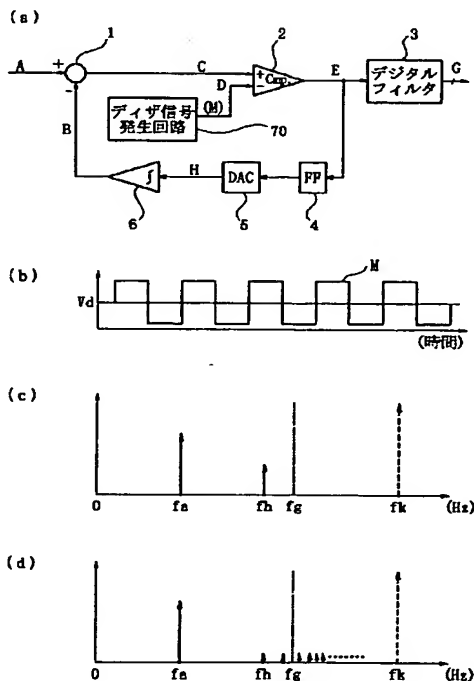
CF07

(54) 【発明の名称】 アナログーデジタル変換器

(57) 【要約】

【課題】 ディザを重畳させずに反映させる。

【解決手段】 アナログ入力信号Aを差分変調してデジタル出力信号Gを生成するアナログーデジタル変換器において、ディザ信号Mを生成するディザ信号発生回路70が設けられ、差分信号Cまたはその派生信号(P)とディザ信号Mとを比較して二値信号Eが生成されるようにする。これにより、ディザ信号がアナログ入力信号等から分離した状態で用いられる。



**【特許請求の範囲】**

【請求項1】アナログ入力信号を差分変調してデジタル出力信号を生成するアナログーデジタル変換器において、ディザ信号を生成するディザ信号発生回路が設けられ、差分信号またはその派生信号の二値化が前記ディザ信号との比較にて行われることを特徴とするアナログーデジタル変換器。

【請求項2】前記ディザ信号発生回路は、第1の電圧を発生する手段と、第2の電圧を発生する手段と、これら第1、第2の電圧を交互に選択して出力する切換手段とを具えたものであることを特徴とする請求項1記載のアナログーデジタル変換器。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】この発明は、オーバーサンプリング方式のアナログーデジタル変換器（アナログ・デジタル変換装置）に関し、詳しくは、S/N（シグナル／ノイズ）特性改善のためにディザ信号を導入しているアナログーデジタル変換器に関する。かかるアナログーデジタル変換器は、デルタ変調型アナログーデジタル変換器（ $\Delta$ 変調型A/D変換装置）や、デルタシグマ変調型アナログーデジタル変換器（ $\Delta\Sigma$ 変調型A/D変換装置）で具体化され、携帯電話やオーディオ機器において音声や音響を処理する回路等に組み込んで用いられることが多い。

**【0002】**

【従来の技術】図7（a）に全体ブロック図を示した従来のアナログーデジタル変換器は、アナログ入力信号からデジタル出力信号を生成する信号変換を1ビットの差分変調にて行うよう、一次予測デルタ変調型アナログーデジタル変換器をベースに構成されたものであり、具体的には、アナログ入力信号Aと帰還信号Bとを受けて差分信号Cを生成する差演算回路1と、その差分信号Cと閾値信号Dとを受けて二値信号Eを生成する比較回路2と、その二値信号Eを受けそのうち所定周波数（カットオフ周波数） $f_g$ 以上の成分を抑制してデジタル出力信号Gを生成するデジタルフィルタ3と、所定周波数 $f_g$ を超える繰返し速度（サンプリング周波数 $f_k$ ）で二値信号Eをアナログ信号Hに変換するデジタルーアナログ変換部4+5と、そのアナログ信号Hを受けて帰還信号Bを生成する積分回路6とを備えている。ここで、サンプリング周波数 $f_k$ はカットオフ周波数 $f_g$ より高く、カットオフ周波数 $f_g$ はアナログ入力信号Aの周波数 $f_a$ より高く設定される。

【0003】また、このアナログーデジタル変換器には、S/N特性改善のために、アナログ入力信号Aの最大振幅より小さな振幅たとえば $\pm\Delta V$ で発振するディザ信号J（図7（b）参照）を生成するディザ信号発生回路7が設けられるとともに、そのディザ信号Jを差演算回路1の上流でアナログ入力信号Aに足し込む加算回路

8も設けられている。図示は割愛したが、ディザ信号Jを帰還信号Bや差分信号Cに足し込むよう、加算回路8が差演算回路1への環流側や差演算回路1の下流に設けられているものもある。何れにしても、最終的には差分信号Cにディザ信号Jが重畳する形でディザが反映されるようになっている。さらに、閾値信号Dには所定の電圧 $V_d$ 等が採用されるが、その電圧値は、アナログ入力信号Aの上限より小さく下限より大きな一定値となっている。

【0004】このようなアナログーデジタル変換器では、アナログ入力信号Aから帰還信号Bを減じて差分信号Cが生成され、これと閾値信号Dとを比較して二値信号Eが生成され、その二値信号Eからカットオフ周波数 $f_g$ を超える高周波成分を抑制除去してデジタル出力信号Gが生成される。また、それと並行して、二値信号Eがサンプリング回路4によって周波数 $f_k$ でサンプリングされ更にDAコンバータ5によってアナログ信号Hに変換されるとともに、そのアナログ信号Hが積分回路6によって積分されて帰還信号Bとなる。

【0005】こうして、差分信号Cがサンプリング周波数 $f_k$ で二値化され、それに基づいてデジタル出力信号Gが生成されるが、帰還信号Bがそれまでのサンプリングタイミングで既に二値化された差分を積み重ねて直前のアナログ入力信号Aを復元したものに該当することから、二値信号Eは差分変調された信号となるので、二値信号Eが1ビットの信号であっても、サンプリング周波数 $f_k$ が周波数 $f_a$ よりも十分に高ければ、二値信号Eにはアナログ入力信号Aの波形情報が的確に引き継がれる。そして、二値信号Eからデジタル出力信号Gを生成する際にカットオフ周波数 $f_g$ 以上の高周波成分が除去されるので、デジタル出力信号Gは（図7（c）参照）、サンプリング周波数 $f_k$ のノイズ成分を含まず（図7（c）の矢付き破線を参照）、アナログ入力信号Aに対応した適切な信号成分を含んだものとなる（図7（c）における周波数 $f_a$ の矢付き実線を参照）。

【0006】ところで、このアナログーデジタル変換器のDAコンバータ5に不所望なオフセットが存在すると、その分だけアナログ信号Hの値が正負または上下の何れか一方に片寄るが、その偏差成分が常時積分されて、漸増または漸減するノイズ成分が帰還信号Bに発現する。このノイズ成分は、アナログ入力信号Aに含まれていたものでなく、アナログーデジタル変換器内で発生したものであるが、フィードバックループに比較回路も組み込まれているため、フィードバックループに居座り続ける。そして、その周波数 $f_h$ がカットオフ周波数 $f_g$ より低いと（図7（c）における周波数 $f_h$ の矢付き実線を参照）、デジタルフィルタ3を通り抜けてデジタル出力信号GのS/N特性を劣化させる。

【0007】ディザ信号Jは、そのような場合に役立つものであり、アナログ入力信号Aを損なわない程度に小

さな振幅の発振信号が用いられる。そして、ディザ信号Jが、アナログ入力信号A等に加算されて、差分信号Cに含められると、DAコンバータ5のオフセットに起因してアナログーデジタル変換器で発生したノイズ成分がディザ信号Jの影響を受けて周波数 $f_h$ 以外の周波数のところにも広く分散させられる(図7(d)参照)。分散したノイズ成分のうちカットオフ周波数 $f_g$ を超えるものは、デジタルフィルタ3を通過できずそこで除去される。

【0008】こうして、適切なディザ信号Jの導入により、DAコンバータの出力のオフセット成分が積分回路で累積されることに起因して発生するノイズに関しては、デルタ変調型アナログーデジタル変換器のS/N特性が改善される。なお、デルタシグマ変調型アナログーデジタル変換器については特開平6-104751号公報に類似の記載がなされており、デルタシグマ変調型アナログーデジタル変換器でもディザ信号の導入がS/N特性の改善に役立つということが知られている。

【0009】

【発明が解決しようとする課題】しかしながら、このような従来のアナログーデジタル変換器では、ディザ信号を導入するに際して、ディザ信号をアナログ入力信号や差分信号等に足し込むという直感的・直接的な手法が採られている。このため、ディザ信号発生回路に加えて、アナログの加算回路あるいは等価な減算回路を設ける必要がある。また、アナログ入力信号や差分信号の値が上限や下限に近いときにはディザ信号の重畳によってその限界に至ってしまつて波形が歪むことから、新たな異質のノイズ要因も随伴して導入されたことになり、そのノイズの発生を抑えるにはディザ信号の振幅の分だけアナログ入力信号や差分信号の最大振幅を狭めることが必要となるので、却って不都合となる面もある。

【0010】そこで、DAコンバータの出力のオフセット成分が積分回路で累積されることに起因して発生するノイズに関してS/N特性を改善するために差分変調型アナログーデジタル変換器にディザ信号を導入するに際して、ディザ信号をアナログ入力信号や差分信号等に直接重畳しないでも、同等の改善効果が得られるよう回路構成に工夫を凝らすことが技術的な課題となる。また、小形化が重視される携帯電話等への応用を考慮すると、回路の改造に際して、回路規模を削減することも重要な課題となる。

【0011】この発明は、このような課題を解決するためになされたものであり、ディザが重畳せずに反映されるアナログーデジタル変換器を実現することを目的とする。また、この発明は、ディザ重畳用の加算回路が無くても回路規模が小さいアナログーデジタル変換器を実現することも目的とする。

【0012】

【課題を解決するための手段】このような課題を解決す

るために発明された第1乃至第2の解決手段について、その構成および作用効果を以下に説明する。

【0013】【第1の解決手段】第1の解決手段のアナログーデジタル変換器は、出願当初の請求項1に記載の如く、アナログ入力信号を差分変調してデジタル出力信号を生成するアナログーデジタル変換器において、ディザ信号を生成するディザ信号発生回路が設けられ、差分信号またはその派生信号の二値化が前記ディザ信号との比較にて行われるようになっている、というものである。

【0014】このような第1の解決手段のアナログーデジタル変換器にあつては、差分変調に随伴して生じるノイズがディザ信号の導入により分散され一部抑制されるとともに、その導入箇所が差分変調における二値化用の比較部に移されている。比較には一般に複数の信号が別個に入力されることから、差分信号等とディザ信号とが分離した状態のままで処理されることとなる。また、そのようにしても、二値化の基準となる閾値を必要であれば直流成分等としてディザ信号側に含めることで、二値化も含めて差分変調の機能を何等損なうことなく、二値信号やそれに基づくデジタル出力信号にはディザ信号の影響が確実に及び、その結果、アナログ入力信号や差分信号の最大振幅を狭めることなくS/N特性が改善されることとなる。したがって、この発明によれば、ディザ信号がアナログ入力信号や差分信号等には直接重畳せずとも変換結果には反映されるアナログーデジタル変換器を実現することができる。

【0015】【第2の解決手段】第2の解決手段のアナログーデジタル変換器は、出願当初の請求項2に記載の如く、上記の第1の解決手段のアナログーデジタル変換器であつて、前記ディザ信号発生回路が、第1の電圧を発生する手段と、第2の電圧を発生する手段と、これら第1、第2の電圧を交互に選択して出力する切換手段とを具えている、というものである。

【0016】このような第2の解決手段のアナログーデジタル変換器にあつては、ディザ信号が無いとしたとき一定値となる二値化用の閾値が、第1の電圧と第2の電圧との中間値・平均値に一致する。これにより、閾値がディザ信号側に含まれることとなる。しかも、第1、第2の電圧を適宜設定することで、容易に、ディザ信号の振幅に加えて閾値も設定することができる。さらに、切換手段等はアナログ加算回路より簡素な回路にて具体化されるので、回路規模も小さくて済む。したがって、この発明によれば、ディザ重畳用の加算回路が無くても回路規模が小さいアナログーデジタル変換器を実現することができる。

【0017】

【発明の実施の形態】このような解決手段で達成された本発明のアナログーデジタル変換器について、これを実施するための具体的な形態を、以下の第1～第6実施例

により説明する。図1に示した第1実施例は、デルタ変調型アナログデジタル変換器をベースに、上述した第1の解決手段を具現化したものであり、図2に示した第2実施例は、デルタシグマ変調型アナログデジタル変換器をベースに、上述した第1の解決手段を具現化したものである。また、それぞれ図3～図6に示した第3～第6実施例は、何れも、上述した第2の解決手段を具現化したものである。なお、それらの図示に際し従来と同様の構成要素には同一の符号を付して示したので、重複する再度の説明は割愛し、以下、従来との相違点を中心に説明する。

【0018】

【第1実施例】本発明のアナログデジタル変換器の第1実施例について、その具体的な構成を、図面を引用して説明する。図1(a)は、全体回路のブロック図であり、同図(b)は、ディザ信号Mの波形例である。このアナログデジタル変換器は、デルタ変調型アナログデジタル変換器をベースに構成されて1ビットの差分変調を行うものであり、これが既述の従来例(図7参照)と相違するのは、ディザ信号Mを生成するディザ信号発生回路70がディザ信号発生回路7及び加算回路8に代わって導入された点と、ディザ信号Mが閾値信号Dとして比較回路2に入力されるようになった点である。

【0019】すなわち、このアナログデジタル変換器は(図1(a)参照)、アナログ入力信号Aと帰還信号Bとを受けて差分信号Cを生成する差演算回路1と、その差分信号Cと閾値信号Dとを受けて二値信号Eを生成する比較回路2と、その二値信号Eを受けそのうち所定周波数(カットオフ周波数) $f_g$ 以上の成分を抑制してデジタル出力信号Gを生成するデジタルフィルタ3と、所定周波数 $f_g$ を超える繰返し速度(サンプリング周波数 $f_k$ )で二値信号Eをアナログ信号Hに変換するデジタルアナログ変換部4+5と、そのアナログ信号Hを受けて帰還信号Bを生成する積分回路6とを備えたアナログデジタル変換器において、差分信号Cの最大振幅より小さな振幅で発振するディザ信号Mを生成するディザ信号発生回路70が設けられ、そのディザ信号Mを閾値信号Dとして比較回路2が受けるようになったものである。

【0020】アナログ入力信号Aが音声信号である場合を例に、それらの各要素について詳述すると、アナログ入力信号Aの周波数 $f_a$ は数百Hzを中心に数十Hzから数千Hzに亘り、これに基づきカットオフ周波数 $f_g$ は8kHzや4kHz等に設定され、サンプリング周波数 $f_k$ は1MHzや10MHz等にされる。デジタルフィルタ3は、純粋なローパスフィルタの回路であっても良いが、二値信号Eをデジタルアナログ変換部4+5に同期して高速でカウントする等のことで例えば8ビットや14ビット等の複数ビットに変換して低速の所定周期でデジタル出力信号Gを出力するカウント回路等に付

随して又は寄生して具現されるようにしても良い。

【0021】また、差演算回路1は、演算増幅器(オペアンプ)を用いた加算回路等にて容易に具現化され、比較回路2は、コンパレータ等にて具現化され例えばその正側入力に差分信号Cが導かれ負側入力に閾値信号Dすなわちディザ信号Mが導かれる。さらに、サンプリング回路4には、ラッチに適したDタイプのフリップフロップ等が多用されるが、これは、DAコンバータ5の一部として具現化されていても良い。また、積分回路6には、オペアンプにコンデンサを組み合わせた能動的な回路が好適である。

【0022】なお、ディザ信号発生回路70の具体的な構成例は第3実施例以降で詳述するが、ディザ信号Mは(図1(b)参照)、電圧 $V_d$ を中心にして小さな振幅 $\Delta V$ だけ上下に変化するような発振信号となっている。すなわち、ディザ信号Mは、所定周期で交互に第1の電圧( $V_d + \Delta V$ )又は第2の電圧( $V_d - \Delta V$ )になる。また、ディザ信号の位相は $S/N$ 比に影響しないので本発明にとって本質的な要件では無いけれども、この例では、以下の動作説明の簡明化のために、ディザ信号Mと従来例のディザ信号Jとで位相が $180^\circ$ ずれている即ち反転しているものとする。さらに、ディザ信号Mの周波数は、ディザ信号Mがデジタルフィルタ3でカットされるように、カットオフ周波数 $f_g$ より高く、サンプリング周波数 $f_k$ より低くされる。

【0023】この第1実施例のアナログデジタル変換器について、その使用態様及び動作を、図面を引用して説明する。図1(b)は、ディザ信号Mの典型的な波形を示し、同図(c)及び(d)は、デジタル出力信号Gのパワースペクトル図であり、(c)がディザ信号の無い状態を示し、(d)がディザ信号の有る状態を示している。

【0024】この場合、ディザ信号Mの振幅 $\Delta V$ は大きくないので閾値信号Dが比較回路2の入力可能範囲を超える心配は無い。また、アナログ入力信号Aや、帰還信号B、差分信号Cの波形が歪まない範囲では、差分信号Cに振幅電圧 $\Delta V$ の発振信号を加え閾値電圧 $V_d$ を減じた電圧値と、閾値電圧 $V_d$ から振幅電圧 $\Delta V$ の発振信号を減じてその結果を差分信号Cから減じて得られる電圧値とが等しいので、この例のアナログデジタル変換器(図1(a)参照)と従来例のアナログデジタル変換器(図7(a)参照)とを対比させると、差分信号Cが同じであれば、二値信号Eや、アナログ信号H、帰還信号Bも同じとなることが判る。そして、アナログ入力信号Aが同じであれば、差分信号Cも同じになるので、その結果、デジタル出力信号Gも同じものが得られる。

【0025】具体的には、アナログ入力信号Aから帰還信号Bを減じて差分信号Cが生成され、これがディザ信号Mからなる閾値信号Dと比較されて二値信号Eが生成され、その二値信号Eからカットオフ周波数 $f_g$ を超え



る高周波成分を抑制除去してデジタル出力信号Gが生成される。また、それと並行して、二値信号Eがサンプリング回路4によって周波数 $f_k$ でサンプリングされ更にDAコンバータ5によってアナログ信号Hに変換されるとともに、そのアナログ信号Hが積分回路6によって積分されて帰還信号Bとなる。

【0026】こうして、デジタル出力信号Gが生成されるが、その際に、DAコンバータ5の不所望なオフセット成分が常時積分されて、周波数 $f_h$ のノイズが発現したとしても(図1(c)参照)、従来同様、そのノイズ成分がディザ信号Mの影響を受けて周波数 $f_h$ 以外の周波数のところにも広く分散させられて(図1(d)参照)、そのうちカットオフ周波数 $f_g$ を超えるようになった部分は、デジタルフィルタ3にて除去される。そして、この場合も、適切なディザ信号Mの導入により、DAコンバータの出力のオフセット成分が積分回路で累積されることに起因して発生するノイズに関してS/N特性が改善される。

【0027】しかも、この場合、アナログ入力信号Aや、帰還信号B、差分信号Cにディザ信号Mが直接重畳されることが無いことから、差演算回路1や比較回路2の入力範囲を逸脱しない限りアナログ入力信号A等の信号波形は歪まないの、アナログ入力信号A等の最大振幅が差演算回路1等の入力範囲よりも狭められるということが無い。また、そのことによって回路設計時に考慮すべき要件が減るので、設計が楽になるという更なる利点も享受することができる。

【0028】

【第2実施例】図2に全体ブロック図を示した本発明のアナログーデジタル変換器は、デルタシグマ変調型アナログーデジタル変換器をベースに構成されて1ビットの差分変調を行うものであり、これが上述した第1実施例のものと同様なのは、積分回路6が、DAコンバータ5と差演算回路1との間におけるアナログ信号Hのラインから外されて、差演算回路1と比較回路2との間における差分信号Cのラインに介挿されている点である。

【0029】すなわち、このアナログーデジタル変換器は、アナログ入力信号Aと帰還信号Bとを受けて差分信号Cを生成する差演算回路1と、その差分信号Cを受けて派生信号Pを生成する積分回路6と、その派生信号Pと閾値信号Dとを受けて二値信号Eを生成する比較回路2と、その二値信号Eを受けそのうち所定周波数(カットオフ周波数) $f_g$ 以上の成分を抑制してデジタル出力信号Gを生成するデジタルフィルタ3と、所定周波数 $f_g$ を超える繰返し速度(サンプリング周波数 $f_k$ )で二値信号Eをアナログ信号Hに変換しこれを帰還信号Bとして差演算回路1に送出するデジタルーアナログ変換部4+5とを備えたアナログーデジタル変換器において、派生信号Pの最大振幅より小さな振幅で発振するディザ信号Mを生成するディザ信号発生回路70が設けら

れ、そのディザ信号Mを閾値信号Dとして比較回路2が受けるようになったものである。

【0030】デルタシグマ変調型アナログーデジタル変換器についてもディザ信号の導入がS/N特性の改善に役立つことが知られており、その導入に際してディザ信号をアナログ入力信号に加算器で重畳させる手法が特開平6-104751号公報に開示されているが、この発明の場合(図2参照)、ディザ信号Mが、上述の第1実施例と同様に、閾値信号Dとして比較回路2の負側入力に導かれて、差分信号Cやその派生信号Pとは分離したままの状態、派生信号Pとの比較に供される。これにより、デルタシグマ変調型アナログーデジタル変換器についても、DAコンバータの出力のオフセット成分が積分回路で累積されることに起因して発生するノイズに関してS/N特性が改善されるうえ、アナログ入力信号等の最大振幅が狭められることも無く、設計も楽になる。しかも、ディザ信号重畳用の加算回路は不要である。

【0031】

【第3実施例】図3にディザ信号発生回路を示した本発明のアナログーデジタル変換器では、上述した第1実施例や第2実施例におけるディザ信号発生回路70が、第1の電圧( $V_d + \Delta V$ )を発生する手段と、第2の電圧( $V_d - \Delta V$ )を発生する手段と、これら第1、第2の電圧( $V_d \pm \Delta V$ )を交互に選択して出力する切換手段とを具えたものになっている。

【0032】具体的には、3個の抵抗 $R_1$ 、 $R_2$ 、 $R_3$ を直列接続した回路が電圧 $V_{dd}$ の給電線と電圧 $V_{ss}$ の接地線との間に設けられ、その抵抗分圧によって、抵抗 $R_1$ と抵抗 $R_2$ との接続点に第1の電圧( $V_d + \Delta V$ )が発生し、抵抗 $R_2$ と抵抗 $R_3$ との接続点に第2の電圧( $V_d - \Delta V$ )が発生する。そのように各抵抗 $R_1$ 、 $R_2$ 、 $R_3$ の抵抗値が設定される。また、抵抗 $R_1$ と抵抗 $R_2$ との接続点がアナログスイッチ等のスイッチ $SW_1$ を介在させてディザ信号Mの信号線に接続され、抵抗 $R_2$ と抵抗 $R_3$ との接続点もスイッチ $SW_2$ を介在させてディザ信号Mの信号線に接続される。さらに、スイッチ $SW_1$ の開閉状態を切り換える制御信号Qが、例えばサンプリング周波数 $f_k$ を規定しているクロック信号Kを分周する等のことで生成され、スイッチ $SW_2$ の切換制御信号は制御信号Qを反転して生成されるようになっている。

【0033】この場合、抵抗 $R_1$ 、 $R_2$ の接続点電圧が式 $[V_{ss} + (V_{dd} - V_{ss}) \cdot (R_2 + R_3) / (R_1 + R_2 + R_3)]$ にて算出され、抵抗 $R_2$ 、 $R_3$ の接続点電圧が式 $[V_{ss} + (V_{dd} - V_{ss}) \cdot (R_3) / (R_1 + R_2 + R_3)]$ にて算出されるので、抵抗 $R_1$ 、 $R_2$ 、 $R_3$ の抵抗値あるいはそれらの比を適切に設定することで容易に、しかも実用上はほぼ任意の電圧 $V_d$ 、振幅 $\Delta V$ について、第1の電圧( $V_d + \Delta V$ )及び第2の電圧( $V_d - \Delta V$ )を発生させることができる。なお式中で「 $\cdot$ 」は乗算を示し「 $/$ 」は除算を示す。そして、制御

信号Qに応じてスイッチSW1、SW2が交互に導通または遮断を繰り返すので、ディザ信号Mは、電圧Vdを中心に振幅ΔVで発振する信号となる。これにより、アナログの加算回路や減算回路が無くても、ディザ信号Mに閾値電圧Vdを含ませるとともに、そのディザ信号Mを閾値信号Dとして二値化のための比較に供することができる。

#### 【0034】

【第4実施例】図4にディザ信号発生回路を示した本発明のアナログーデジタル変換器が上述した第3実施例のものと相違するのは、抵抗の一部が並列になっている点と、スイッチが一個に減っている点である。具体的には、スイッチSW3と抵抗R5とが直列接続され、この回路と抵抗R4とが並列接続され、この回路と抵抗R6とが直列に接続され、この回路が電圧Vddの給電線と電圧Vssの接地線との間に繋ぎ込まれる。

【0035】この場合、スイッチSW3が制御信号Q等に応じて開閉すると、それに応じて抵抗R4と抵抗R6との接続点電圧が切り替わるので、その電圧を取り出すことでディザ信号Mを生成することができる。また、この場合も、加算回路を用いることなく、抵抗R4、R5、R6の抵抗値あるいはそれらの比を適切に設定することで容易に、実用上任意の電圧Vd、振幅ΔVについて、第1の電圧(Vd+ΔV)及び第2の電圧(Vd-ΔV)を発生させることができる。

#### 【0036】

【第5実施例】図5にディザ信号発生回路を示した本発明のアナログーデジタル変換器が上述した第3、第4実施例のものと相違するのは、定電流源が導入されている点である。具体的には、定電流源IS1とスイッチSW4とが直列接続され、定電流源IS2とスイッチSW5とが直列接続され、それらの直列回路同士が並列接続され、この回路と抵抗R7とが直列に接続され、この回路が電圧Vddの給電線と電圧Vssの接地線との間に繋ぎ込まれる。また、図示は割愛したが、スイッチSW4、SW5が制御信号Qやその反転信号に応じて交互に開閉するようになっている。

【0037】この場合、スイッチSW4が導通しているときには抵抗R7に式 $[IS1 \cdot R7]$ の電圧が発生し、スイッチSW5が導通しているときには抵抗R7に式 $[IS2 \cdot R7]$ の電圧が発生し、それらの電圧がスイッチSW4、SW5の開閉に応じて交互に発現するので、その電圧を取り出すことでディザ信号Mを生成することができる。また、この場合も、加算回路を用いることなく、定電流源IS1、IS2の電流値や抵抗R7の抵抗値を適切に設定することで容易に、任意の電圧Vd、振幅ΔVについて、第1の電圧(Vd+ΔV)及び第2の電圧(Vd-ΔV)を発生させることができる。

#### 【0038】

【第6実施例】図6にディザ信号発生回路を示した本発

明のアナログーデジタル変換器が上述した第5実施例のものと相違するのは、スイッチが減っている点である。具体的には、定電流源IS4とスイッチSW6とが直列接続され、この回路と定電流源IS3とが並列接続され、この回路と抵抗R8とが直列に接続され、この回路が電圧Vddの給電線と電圧Vssの接地線との間に繋ぎ込まれる。

【0039】この場合、制御信号Q等に応じてスイッチSW6が導通しているときには抵抗R8に式 $[R8 \cdot (IS3 + IS4)]$ の電圧が発生し、スイッチSW6が遮断しているときには抵抗R8に式 $[R8 \cdot IS4]$ の電圧が発生し、それらの電圧がスイッチSW6の開閉に応じて交互に発現するので、その電圧を取り出すことでディザ信号Mを生成することができる。また、この場合も、加算回路を用いることなく、定電流源IS3、IS4の電流値や抵抗R8の抵抗値を適切に設定することで容易に、任意の電圧Vd、振幅ΔVについて、第1の電圧(Vd+ΔV)及び第2の電圧(Vd-ΔV)を発生させることができる。

#### 【0040】

【発明の効果】以上の説明から明らかなように、本発明の第1の解決手段のアナログーデジタル変換器にあっては、差分変調に伴う二値化のための比較を利用してディザ信号がアナログ入力信号等から分離した状態で用いられるようにしたことにより、ディザ信号がアナログ入力信号や差分信号等には直接重畳せずとも変換結果には反映されるアナログーデジタル変換器を実現することができたという有利な効果が有る。

【0041】また、本発明の第2の解決手段のアナログーデジタル変換器にあっては、ディザ信号発生回路を特定構造のものに限定したことにより、ディザ重畳用の加算回路が無くても回路規模が小さいアナログーデジタル変換器を実現することができたという有利な効果を奏する。

#### 【図面の簡単な説明】

【図1】 本発明のアナログーデジタル変換器の第1実施例について、(a)が全体回路のブロック図、(b)がディザ信号の波形例、(c)がディザ信号の無いときのパワースペクトル図、(c)がディザ信号を加えたときのパワースペクトル図である。

【図2】 本発明のアナログーデジタル変換器の第2実施例について、全体回路のブロック図である。

【図3】 本発明のアナログーデジタル変換器の第3実施例について、ディザ信号発生回路の詳細図である。

【図4】 本発明のアナログーデジタル変換器の第4実施例について、ディザ信号発生回路の詳細図である。

【図5】 本発明のアナログーデジタル変換器の第5実施例について、ディザ信号発生回路の詳細図である。

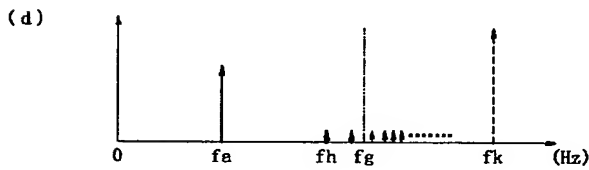
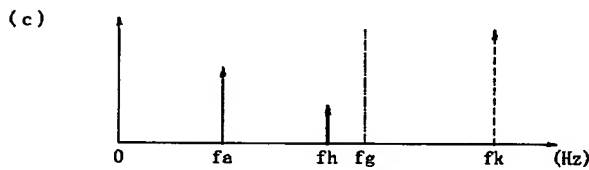
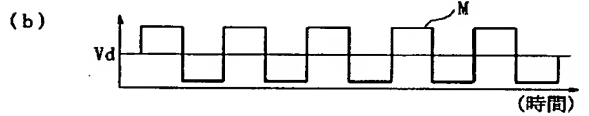
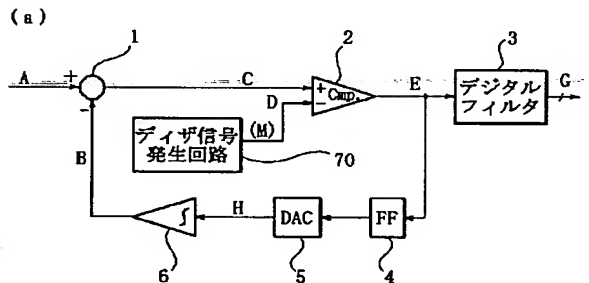
【図6】 本発明のアナログーデジタル変換器の第6実施例について、ディザ信号発生回路の詳細図である。

【図7】 従来のアナログーデジタル変換器について、  
(a) が全体回路のブロック図、(b) がディザ信号の  
波形例、(c) がディザ信号の無いときのパワースペ  
クトル図、(c) がディザ信号を加えたときのパワースペ  
クトル図である。

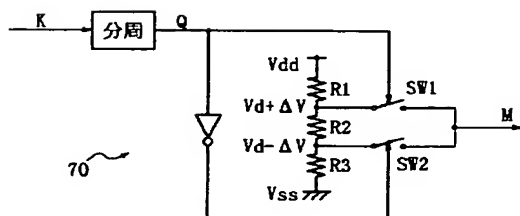
【符号の説明】

1…差演算回路、2…比較回路 (Cmp)、3…デジタル  
フィルタ、4…サンプリング回路 (FF、デジタル  
アナログ変換部)、5…DAコンバータ (DAC、デ  
ジタルアナログ変換部)、6…積分回路6、7…ディ  
ザ信号発生回路、8…加算回路、70…ディザ信号発生  
回路

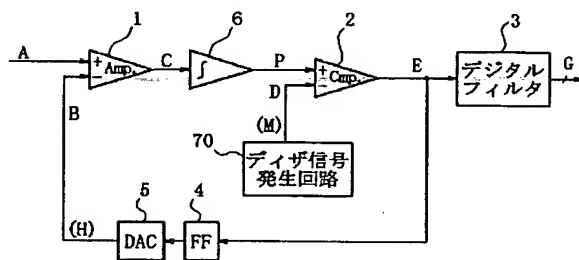
【図1】



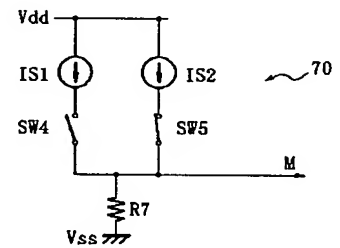
【図3】



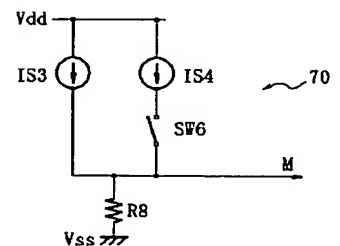
【図2】



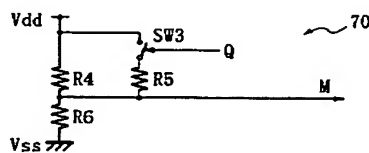
【図5】



【図6】



【図4】



【図7】

